

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

End of Result Set



Generate Collection

L2: Entry 1 of 1

File: JPAB

Sep 25, 1989

PUB-NO: JP401239866A

DOCUMENT-IDENTIFIER: JP 01239866 A

TITLE: DIELECTRIC ISOLATION SUBSTRATE

PUBN-DATE: September 25, 1989

INVENTOR-INFORMATION:

NAME

COUNTRY

TANAKA, TAKESHI

INOUE, HIRONORI

MOCHIZUKI, YASUHIRO

SUZUKI, TAKAYA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

N/A

APPL-NO: JP63065725

APPL-DATE: March 22, 1988

US-CL-CURRENT: 438/404; 438/222

INT-CL (IPC): H01L 21/76

ABSTRACT:

PURPOSE: To obtain a dielectric isolation substrate in which vertical and lateral elements are disposed in mixture with small bents by employing a single crystalline material as a support, providing no insulating film on the bottoms of one or more element islands, forming conduction between the island and the support, and electrically isolating the conductive region of the support from a nonconductive region.

CONSTITUTION: In a dielectric isolation substrate in which a single crystalline material is used as a support 3, no insulating film is provided on the bottom of at least one element island 4, the island 4 is made electrically conductive to the support 3, and the conductive region of the substrate 3 is electrically isolated from a nonconductive region 5. For example, a single crystalline board 3 is employed as the support material of single crystalline islands 1, 4 of the board, and a single crystalline island 1 for forming a logic element or the like, an insulating film 2 for electrically isolating the island 1, a single crystalline region 4 for forming a vertical element, and a diffused region 5 for electrically isolating the region 4 from its periphery are provided. Thus, since there is no difference of physical properties such as thermal expansion coefficients between the single crystalline island and the support, the board is scarcely bent. Accordingly, a decrease in the bent of the board and an increase in the diameter

~~decrease in the bent of the board and an increase in the diameter~~
thereof can be performed, and the cost of a large current power IC can be reduced.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A)

平1-239866

⑤ Int.Cl.

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)9月25日

H 01 L 21/76

D-7638-5F

審査請求 未請求 請求項の数 7 (全5頁)

⑭ 発明の名称 誘電体分離基板

⑮ 特 願 昭63-65725

⑯ 出 願 昭63(1988)3月22日

⑰ 発 明 者 田 中 武 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑱ 発 明 者 井 上 洋 典 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑲ 発 明 者 望 月 康 弘 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑳ 発 明 者 鈴 木 誉 也 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 小川 勝男 外2名

明 細 書

1. 発明の名称

誘電体分離基板

2. 特許請求の範囲

1. 単結晶材料を支持体とする誘電体分離基板において、少なくとも1つの素子島の島底面に絶縁膜がなく、前記素子島が支持体と電気的に導通し、かつ支持体基板の前記導通領域と非導通領域が、電気的に分離されたことを特徴とする誘電体分離基板。

2. 特許請求の範囲第1項において、支持体基板の前記導通領域と非導通領域の電気的分離がp-n分離であることを特徴とする誘電体分離基板。

3. 特許請求の範囲第1項において、支持体基板の前記導通領域と非導通領域の電気的分離が、誘電体分離であることを特徴とする誘電体分離基板。

4. 特許請求の範囲第1項において、支持体が複数の単結晶基板の接合物であることを特徴とする

る誘電体分離基板。

5. 特許請求の範囲第4項において、支持体となる複数の基板に、異なるパターンのp-n分離領域が形成された誘電体分離基板。

6. 2枚の半導体基板の赤外線透過像パターンを位置合せに使用し、接合することを特徴とする誘電体分離基板の製造方法。

7. 第1の半導体基板を載置する第1の試料台と、第2の半導体基板を載置する第2の試料台と、前記第1および第2の半導体基板に赤外光を照射する手段と、前記第1および第2の半導体基板を透過した赤外線の計測手段とを有し、前記第1の試料台および第2の試料台は、前記計測手段の計測結果に基づいて相対的な位置を変化させることを特徴とする誘電体分離基板の製造装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、誘電体分離基板に係り、特に大電流のインテリジェントパワーIC用の基板に好適な

誘電体分離基板に関する。

〔従来の技術〕

従来、誘電体分離基板としては、特開昭55-63840号公報に記載されている様に、縦型素子と横型素子を組み合わせた誘電体分離基板がある。これは、誘電体で電気的に絶縁分離された単結晶Siの領域（単結晶島）と、それを支持するために厚く形成された多結晶Si層と、選択的に基板の両主面間に延在する単結晶領域から構成される。両主面間に延在する単結晶領域には縦型の高圧高電流のパワー素子を、その周辺の単結晶島にはパワー素子を駆動する横型の素子を、形成する。同構造によれば、パワー素子とそれを駆動する素子のサイズを任意に設定できる。これによりパワー素子の耐圧を落とすことなく、駆動素子の形状を微細化でき、IC全体のサイズを小さくできる。

〔発明が解決しようとする課題〕

上記従来技術では、単結晶島を支持する材料として、厚く堆積した多結晶Si層を用いている。多結晶Si層は高温下で単結晶島上に形成される

素子が混在する、誘電体分離基板を提供することにある。

〔課題を解決するための手段〕

上記目的は、誘電体分離基板における単結晶島の支持体材料に単結晶基板を用い、縦型素子を形成する領域の支持体基板を、その周囲からp-n分離法もしくは誘電体分離法により電気的に分離することにより達成される。

〔作用〕

本発明の作用を第1図を用いて説明する。同図において、1は論理素子等を形成する単結晶島、2は単結晶島を電気的に分離する絶縁膜、4は縦型素子を形成する単結晶領域、3は単結晶島の支持体である単結晶基板、5は縦型素子領域を周囲から電気的に分離するための拡散領域である。単結晶を支持体としているので、単結晶島側と支持体側との間に熱膨張率等の物性の違いはなく、基板の湾曲はほとんど生じない。

本発明によれば、単結晶基板を支持体基板として、縦型素子と横型素子を組み込んだ誘電体分離

が、多結晶Siと単結晶Siでは熱膨張率が異なるため、形成後の基板には湾曲が生じてしまう。また酸素雰囲気下で基板を熱処理する工程では、多結晶Siの粒界へ酸素が進入して多結晶層が膨張するために、やはり基板が湾曲する。また、不活性ガス中の高温熱処理時には、多結晶Siの結晶粒が若干成長するために多結晶Si側が収縮し基板が湾曲する。以上、多結晶堆積層を支持体に用いる誘電体分離基板では、単結晶Siと多結晶Siの物性の違いにより基板の湾曲が生ずる。基板に湾曲が生ずると、ホトリソグラフィの精度低下、種々の薄膜形成時の基板温度分布による膜厚不均一等、製造プロセスにおける加工精度の低下を招く。一方、半導体装置の製造に用いられる基板の径は、製造コストの低減のために大口径が進められている。基板の曲率が一定の場合、基板の湾曲高さは、基板の径の2乗に比例して大きくなる。大口径の基板を用いて半導体装置を製造するには、湾曲率の小さな基板を用いる必要がある。

本発明の目的は、湾曲が小さく縦型素子と横型

基板の作成が可能となる。これにより基板の湾曲低減、大口径化が可能となり、大電流パワーICのコスト低減の効果がある。また、素子部で発生した熱が、高熱伝導度の単結晶Siの支持体を通して放熱されるため、素子の大容量化が可能となる。

〔実施例〕

以下、本発明の実施例を説明する。第2図は、本発明を用いた、インテリジェントパワーIC製作の工程を説明するものである。まずn型(100)面Si単結晶基板3に、選択的にボロンを拡散しp型領域5を形成し(1)の形状とする。つづいてスチーム酸化により膜厚2μmのSiO₂膜2を形成する。縦型素子となる領域のみSiO₂膜を除去したのち、素子島が形成されるn型(100)面Si単結晶基板1に接合し、(2)の形状とする。なお、接合前に、素子島が形成される基板には、n+埋込層6を拡散法により形成しておく。基板の接合法は、接着剤を用いない直接接合法である。同接合法について略説する。まず接合する

2枚の基板を親水化処理する。親水化処理は、トリクレン等による有機洗浄、王水等による酸洗浄、水洗、洗浄雰囲気下での乾燥からなり、基板表面に薄い自然酸化膜を形成するものである。親水化処理ののち、基板を圧接し熱処理することにより、Si表面对SiO₂表面、及びSi表面对Si表面が強固に接合される。Si表面同志を接合した領域では、電気的にも良好な接合が得られる。基板を接合したのち素子基板を20μm厚まで研磨し、ドライエッチ法等により、素子間分離溝2を形成する。分離溝からSbを拡散しn⁺埋込層6'を分離溝面に形成する。これにより接合前に形成した単結晶島底面の埋込層6と連続して、素子島全体に埋込層が形成される。つづいて溝表面に厚さ2μmの熱酸化膜を形成したのち溝をCVD法、スピンオン法等を用いてSiO₂もしくは多結晶Si等の材料により充填することにより横方向の誘電体分離を完成させる。なお、酸化前の溝巾が約3μm以下ならば、酸化による溝面のふくらみによつて溝が埋まるため、溝の充填工程は不

種の加工をする前に接合を行うので接合される面の平坦度が良く、高い接着率が得られる。本実施例では、素子の集積度を上げるためには、アスペクト比の高い分離溝を形成する必要がある。ドライエッチ法により溝を形成する場合、溝のアスペクト比を高くするとエッチレートが低くなつてしまい生産性が著しく低下する。また単結晶島の島厚が厚くなると、高アスペクト比の深い分離溝をボイドなしに充填するのが難しくなる。

第2の実施例として厚い単結晶島を持つ誘電体分離基板のプロセスを説明する。第3図は分離溝形成後に基板の貼り合わせを行うプロセスである。まずn型(100)面単結晶基板1'にKOHエッチングにより深さ50μmのV字型の分離溝を形成する。つづいてn⁺埋込層6を拡散法により形成したのち、スチーム酸化により膜厚2μmのSiO₂膜2を形成する。そして縦型素子が形成される領域のSiO₂膜のみを除去し(2)の形状とする。つづいて多結晶Si13を気相成長させて分離溝を充填したのち表面を研磨して平坦化

要となる。以上の工程により得られた(3)の如き誘電体分離基板に、通常の酸化、ホトリソ、拡散等の工程を繰り返すことにより素子を形成する。その一例として酸化膜なしで接合した領域には縦型構造のパワートランジスタ8を、その周囲の単結晶Si島には、横型構造の論理素子7を形成したのが(4)である。各素子間は、熱酸化膜9に設けられたコンタクトホールを通してA&Bパターン10によつて配線される。また縦型素子の、支持体側の電極は、ろうによつてステム12にダイボンディングされる。以上の工程により、縦型素子と横型素子を組み合わせたパワーICに好適な誘電体分離基板が得られる。素子部だけでなく支持体も単結晶Siであるため、熱膨張率等の物性の違いによる基板の湾曲は基本的に発生せず、大口径基板の製造が可能となる。また、多結晶Siよりも熱伝導度の高い単結晶Siの支持体によつて素子部とヒートシンクのステムが接続されているので、素子の放熱性が向上する。このため素子の電力化が可能となる。本実施例では基板に種

し(2)の形状とする。その際、SiO₂膜がなくSi基板が露出している領域では単結晶Siが成長している。つづいてボロン拡散でp型領域5を形成済のn型(100)面単結晶基板を、第1の実施例と同様にして接合し(3)の形状とする。これを、素子島の厚さが50μmとなるまで研磨して(4)の形状の誘電体分離基板を得る。本実施例においては、誘電体分離基板完成時に溝が逆V字型となり、表面に占める面積が小さくなるため、実質的な溝のアスペクト比が高くなる。このため、高集積の高耐圧ICに好適な誘電体分離基板が得られる。

他の実施例について第4図により略説する。

(1)は、ボロン拡散でp型領域51、52、53を形成した3枚のn型基板31、32、33を支持体とする誘電体分離基板である。支持体を複数に分割して拡散を行つているので、拡散時間が短くなる。(2)は、2ヶの縦型素子部41、42が、支持体基板内で連結されているものである。(3)は、支持体基板での絶縁分離も、SiO₂膜

21による誘電体分離を用いたものである。

p型領域を形成する場合は、不純物としてはボロンのみならず、アルミニウム等を使用してもよい。

以上述べた様に、基板接合により、縦型素子と横型素子を組み合わせたパワーIC用の誘電体分離基板を作製できる。基板接合の際には、位置合わせの精度が島の大きさ程度であることが必要である。

ここで、精度良く接合する方法の一例を第5図により略説する。X-Y移動可能な試料台102に載置した支持体基板3に、Z方向移動可能な試料台103に真空吸引された素子基板1を対向接近させる。赤外線ランプ100により基板を照射し、2枚の基板を透過してくる赤外光104を赤外線頭微鏡101によつて観察する。観察された、素子基板の分離溝と支持体の拡散領域パターンが適当な位置関係(所定のパターン)になる様に試料台102を移動する。移動後、試料台103を降ろして試料基板と支持体基板を接触させると、

銅水処理(例王水洗浄等)されている2枚の基板は、直ちに強固に接合され、以後、位置ずれは生じない。これを、熱処理して完全な接合とすれば良い。試料台の一方は固定し、他方のみを移動させてもよい。

〔発明の効果〕

本発明によれば、集積回路を形成した溝曲の少ない誘電体分離基板を得ることができる。

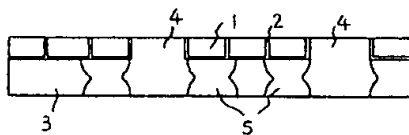
4. 図面の簡単な説明

第1図は、本発明による誘電体分離基板の基本構造、第2図は本発明の一実施例の誘電体分離基板の製造工程図、第3図は他の実施例の誘電体分離基板の製造工程図、第4図はその他の実施例の誘電体分離基板の断面図、第5図は、基板接合の際の位置合わせ法の一例を示す図である。

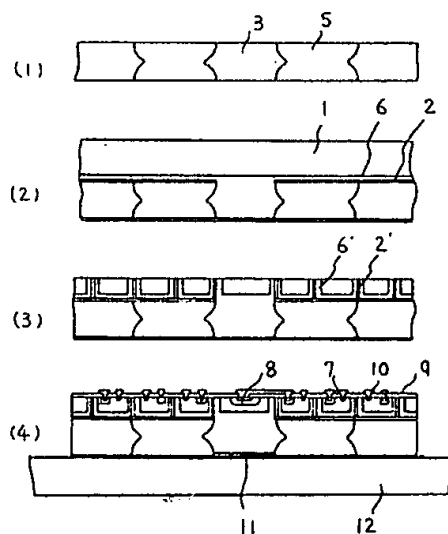
1…単結晶島、2, 21…絶縁膜、3, 31, 32, 33…単結晶支持体基板、4, 41, 42…縦型素子を形成する単結晶領域、5, 51, 52, 53…拡散領域、6, 6'…n+埋込層、100…赤外線ランプ、101…赤外線頭微鏡。

代理人 弁理士 小川勝男

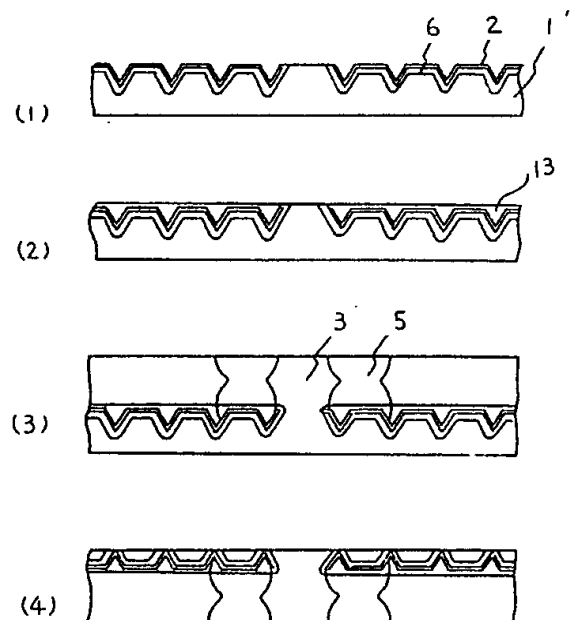
第1図



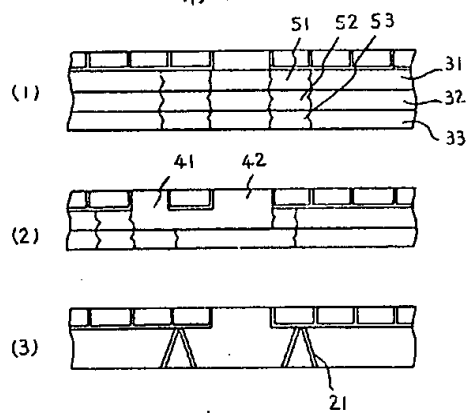
第2図



第3図



第4図



第5図

